

Publication number: JP59188896

**Publication date:** 1984-10-26

**Inventor:** WADA YOSHINORI

**Applicant:** RICOH KK

**Classification:**

- international: **G06F12/16; G11C29/00; G06F12/16; G11C29/00;**  
(IPC1-7): G06F13/00; G11C29/00

- European: G11C29/00R4

Application number: JP19830061550 19830409

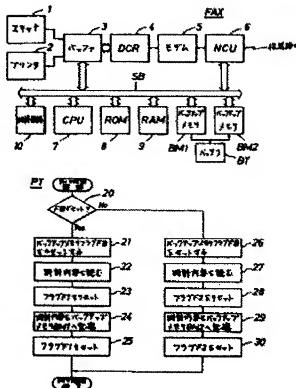
**Priority number(s):** JP19830061550 19830409

[Report a data error here](#)

## Abstract of JP59188896

**PURPOSE:**To exclude a detecting circuit for power supply break etc. and to miniaturize a device by holding information assuredly just by providing plural back-up memories.

**CONSTITUTION:**When a back-up memory flag FB is set, the flag FB is reset (process 21) to be prepared for a case where a next interruption signal is produced. Then the output time point data of a timepiece circuit 10 is read (process 22), and a flag F1 is reset (process 23). The time point data is stored (process 24) to a prescribed area of a back-up memory BM1, and the flag F1 is set (process 25). While the similar processes 26-30 are carried out with a back-up memory BM2 if the flag FB is reset. Therefore the flag F1 or F2 is reset while this timer processing PT is performed. Thus a CPU7 is stopped while the F1 of the BM1 or the F2 of the BM2 is kept reset if power failure etc. are generated.



Data supplied from the **esp@cenet** database - Worldwide

## ⑫ 公開特許公報 (A)

昭59—188896

⑪ Int. Cl.<sup>3</sup>  
G 11 C 29/00  
G 06 F 13/00

識別記号 庁内整理番号  
7922—5B  
7361—5B

⑬ 公開 昭和59年(1984)10月26日

発明の数 1  
審査請求 未請求

(全 4 頁)

## ⑭ メモリ情報のバックアップ方式

⑯ 特 願 昭58—61550  
⑰ 出 願 昭58(1983)4月9日  
⑱ 発 明 者 和田義典  
東京都大田区中馬込1丁目3番

6号株式会社リコー  
⑲ 出 願 人 株式会社リコー  
東京都大田区中馬込1丁目3番  
6号  
⑳ 代 理 人 弁理士 紋田誠

## 明 細 書

## 1. 発明の名称

メモリ情報のバックアップ方式

## 2. 特許請求の範囲

(1) 複数のバックアップメモリに同じ情報を記憶し、このバックアップメモリに記憶した情報を読み書きするさいには、複数のバックアップメモリのうちアクセスするバックアップメモリを所定時間間隔で順次変更することを特徴としたメモリ情報のバックアップ方式。

(2) 特許請求の範囲第1項記載において、上記所定時間を少なくとも停電が発生してから電源電圧が所定値以下になるまでの過渡的時間よりも長く設定したことを特徴とするメモリ情報のバックアップ方式。

## 3. 発明の詳細な説明

## 〔技術分野〕

本発明は、マイクロコンピュータを用いた制御装置において、主要なメモリ情報を停電等から保護するためのバックアップ方式に関する。

## 〔従来技術〕

一般に、ファクシミリ装置のようにマイクロコンピュータを用いて動作を制御しているものでは、主要なデータ例えばよく使う宛先の電話番号等のデータを、バッテリでバックアップしたいいわゆるバックアップメモリに記憶して、停電および電源の瞬断(以下、停電等という)が発生した場合に主要なデータを保護するようにしている。

しかしながら、上記したバックアップメモリに、データの読出、書込を行なっているさいに停電等が発生すると、この停電等が原因で書込/読出信号線にノイズが発生し、その結果バックアップメモリの記憶内容が変化してしまうという不都合を生じる。

そこで従来、かかる不都合を解消するため、直流電源回路の交流電源入力側に電源断検出回路を設け、かつ、直流電源出力側に、停電等が発生した直後に所定時間電源電圧を保持するための大容量のコンデンサを接続し、上記電源断検出回路が停電等を検出した場合には、上記バックアップメ

メモリに所定のデータを過渡するとともに、その後はこのバックアップメモリをアクセスしないようにして、バックアップメモリの記憶内容を保護している。

しかしながら、このような従来方式では、電源断検出回路および大容量のコンデンサが必要であり、その結果装置の形状が大きいかつ高価であるという問題を生じていた。

#### 【目的】

本発明は上述した問題を解決し、小形で安価なバックアップ装置を実現できるメモリ情報のパックアップ方式を提供することを目的とする。

#### 【構成】

以下、添付図面を参照しながら、本発明の実施例を詳細に説明する。

第1図は、本発明の一実施例に係るファクシミリ装置FAXを示している。このファクシミリ装置FAXは、バッテリーBTから電源を供給された2つのバックアップメモリBM1、BM2によって、電話番号等の主要なデータを保持している。

SBは上記した各要素1~10、バックアップメモリBM1、BM2を接続するシステムバスである。

以上の構成で、CPU7は第2図に示したタイマ処理PTおよび第3図に示した電源復旧処理PRを行なって情報をバックアップする。なお、バックアップメモリフラグFBは、バックアップメモリBM1、BM2のいずれを選択するかを判断するためのものであり、フラグF1、F2は、停電等が発生したのがバックアップメモリBM1、BM2のいずれをアクセスしたときであるか判断するためのものである。

CPU7はファクシミリ装置FAXの各要素を制御するとともに、図示しないタイマから1秒毎に出力される割込信号が加わるとタイマ処理PTを実行する。

このタイマ処理PTでは、まず判断20でバックアップメモリフラグFBの状態を調べ、このフラグFBがセットされている場合は、次に割込信号が発生した場合に備えてバックアップメモリフラグFBをリセットし(処理21)、時計回路10の出力時刻データを読み込み(処理22)、フラグF1をリセットした

両図において、1は送信回路を平面走査して光電変換し、送信画像信号を形成するスキャナ、2は記録画像に対応したドットパターンを印刷するプリンタおよび3はスキャナ1の出力信号を8ビットのパラレル信号に変換するとともに符号圧縮伸張回路(DCR)4の出力をシリアル信号に変換してプリンタ2に出力するバッファであり、符号圧縮伸張回路4はバッファ3から加えられるデータを符号化してデータ圧縮しモデム5に出力するとともに、モデム5から加えられる受信データを復号してデータ伸張しバッファ3に出力する。

6は自動ダイヤル機能および自動受信機能を備え、電話回線網等の伝送回線網を制御して伝送路を確立、切断する制御装置(NCU)、7は上記したスキャナ1、プリンタ2、バッファ3、符号圧縮伸張回路4、モデム5および制御装置6をそれぞれ制御するCPU(中央処理装置)、8はCPUが実行するプログラムを記憶したROM(リード・オンリ・メモリ)、9はCPU7のワークエリア等をなすRAM(ランダム・アクセス・メモリ)、10は時計回路および

(処理23)のちに、時刻データをバックアップメモリBM1の所定領域に記憶し(処理24)、フラグF1をセットする(処理25)。

また、バックアップメモリフラグFBがリセットされている場合、バックアップメモリBM2に係る処理26~30を実行する。なお、この処理26~30は上記したバックアップメモリBM1に係る一連の処理21~25と同じなので説明を省略する。

したがって、このタイマ処理PTを実行しているときにはフラグF1あるいはフラグF2がリセット状態になるため、このときに停電等が発生するとバックアップメモリBM1のフラグF1あるいはバックアップメモリBM2のフラグF2がリセット状態のままCPU7が停止することになる。

そこで、電源が復旧した直後にCPU7が行なう電源復旧処理PRでは、判断31、判断32によってフラグF1、F2のどれがリセット状態にあるかを調べ、フラグF1がリセット状態の場合はバックアップメモリBM1をアクセスしたときに停電等が発生しているために時刻データ以外のバックアップメモリ

BM2のデータをバックアップメモリBM1にコピーしてバックアップメモリBM1の記憶内容を修正し(処理33)、フラグF1をセットし(処理34)、バックアップメモリBM1に記憶した時刻データに対応する表示をプリンタ2に出力させ(処理35)、停電等の発生時刻をオペレータに通知する。

また、フラグF2がリセットされている場合は、上記した処理33～35と同じでバックアップメモリBM2に係る処理36～38を実行し、さらに、フラグF1、F2がともにセットされている場合は処理38を実行して、停電等が発生した時刻をオペレータに通知する。

なお、上述の割込信号の周期を1秒とした理由は、通常の停電等では1秒あれば電源電圧が完全に低下した状態に安定するからであり、電源電圧が不安定な時期にバックアップメモリBM1とBM2をともにアクセスするのを防止するためである。

ところで、上記したCPU7はバックアップメモリBM1、BM2に電話番号等のデータを記憶するさい、これらのデータに例えばCRCコード(巡回冗長検査

コード)、チェックサム、パリティビット等の誤り検出符号を付加することによって、データの誤り、変動を確実に検出できるようにしている。

以上の説明では、ファクシミリ装置FAXに本発明を適用した実施例について述べたが、これに限らず、他の装置にも本発明を適用することができる。

また、上述の実施例はバックアップメモリを2個備えた場合であるが、個数はこれに限ることはなく、3個以上の場合でも同様にして本発明を実施できる。

#### 【効果】

以上説明したように、本発明によればバックアップメモリを複数個備えるだけで確実に情報を保持することができ、したがって、電源断検出回路等を特別に必要としないので装置を小型化でき、かつ、安価にできるという利点を得ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係るファクシミリ装置を示すブロック図、第2図はタイマ処理PTを

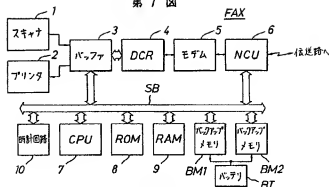
示すフローチャート、第3図は電源復旧処理PRを示すフローチャートである。

7 … CPU(中央処理装置)、8 … ROM(リード・オンリ・メモリ)、9 … RAM(ランダム・アクセス・メモリ)、BM1、BM2 … バックアップメモリ、BT … バッテリ。

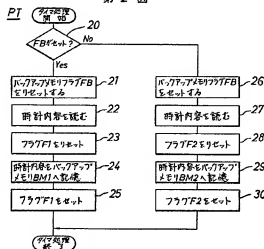
代理人 井理士 校 田



第 1 図



第 2 図



第 3 図

